

## ⑫ 公開特許公報(A) 平1-237742

⑤Int.Cl.<sup>4</sup>  
G 06 F 12/16識別記号  
3 4 0庁内整理番号  
F-7737-5B

⑬公開 平成1年(1989)9月22日

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 メモリ保護回路

⑮特 願 昭63-65992

⑯出 願 昭63(1988)3月17日

⑰発明者 桑 木 克 彦 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑱出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

メモリ保護回路

## 2. 特許請求の範囲

少なくともCPU、メモリ回路に供給する主電源と、この主電源断時にバックアップ用の補助電源を用いてメモリデータを保持するメモリ保護回路において、

上記主電源の電圧が低下すると、上記CPUに電源断検知信号を出力し、この信号出力より所定時間遅れてメモリアクセス禁止信号を出力する主電源供給回路、

上記メモリアクセス禁止信号を受けて上記CPUからのメモリアクセスを禁止するメモリアクセス禁止回路、

上記主電源電圧が低下すると、この主電源から上記補助電源に切り替える電源切替回路とを備え、

上記CPUは上記電源断検知信号を受けると所定の処理をした後ホールド状態とし、上記メモリ禁止回路は上記メモリアクセス禁止信号を受ける

と上記メモリ回路へのデータの書き込みを不可状態とし、その後上記電源切替回路で上記主電源から上記補助電源へ切り替えるようにしたことを特徴とするメモリ保護回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は電源断時にCMOSメモリ等のメモリ内容を保護するメモリ保護回路に関するものである。

〔従来の技術〕

第3図は例えば特開昭62-31460号公報に示された従来のメモリ保護回路を示す図である。図において、(1)は主電源供給回路、(2)は補助電源、(3)は電源切替回路、(4)は電圧監視回路、(5)は電圧監視回路、(6)は基準電圧源、(7)はメモリアクセス禁止回路、(8)はメモリをそれぞれ示している。ただし、電圧監視回路(4)の電圧低下検出電圧は、電圧監視回路(5)の電圧低下検出電圧より低いものとする。

次に動作について説明する。いま、主電源断に

より主電源電圧が低下してくると、まず電圧監視回路(5)が検知し、メモリアクセス禁止回路(7)に対して検知信号(115)を送出する。これによりメモリアクセス禁止回路(7)は、メモリ(8)に対しメモリアクセス禁止信号(120)を送出し、メモリデータ書き込みが禁止される。次いで、さらに主電源電圧が低下してくると、電圧監視回路(4)が検知し、電源切替回路(3)に対して検出信号(110)を送出する。これにより電源切替回路(3)はメモリ(8)への電源供給を主電源から補助電源(2)に切替え、メモリデータの内容を保護する構成となつている。

〔発明が解決しようとする課題〕

従来のメモリ保護回路は以上のように構成されているので、例えば主電源の電圧低下によるメモリアクセス禁止信号発生が、CPUのメモリライトサイクル中であつた場合、メモリがメモリアクセス禁止信号により使用不可となり、データが正確に書き込めず、メモリ内容を破壊する恐れがあるなどの課題があつた。

この課題を解消する方法としては、CPUから

#### 〔作用〕

この発明におけるメモリ保護回路は、主電源断時にまず主電源供給回路からの電源断検知信号に基いてCPUを所定の処理を行つた後ホールド状態にさせ、しかるのち主電源供給回路からのメモリアクセス禁止信号に基いてメモリアクセスを禁止してメモリをデータ書き込み不可の状態にし、その後主電源低下時にメモリとメモリアクセス禁止回路の電源を主電源から補助電源へ切替える。

#### 〔発明の実施例〕

以下、この発明の一実施例を図面に基いて説明する。第1図は本メモリ保護回路の構成を示す接続図である。第2図はこの実施例回路の動作を示すタイムチャートである。

まず、この実施例回路の構成を図について説明する。第1図において、(1)は主電源から主電源を各回路に供給する機能と主電源断時にCPU(9)に対して電源断検知信号(110)を、メモリアクセス禁止回路(7)に対してメモリアクセス禁止信号(120)を供給する機能をもつ主電源供給回路、

のメモリライト信号もしくはメモリセレクト信号のどちらか一方とメモリアクセス禁止信号とをANDゲートで結合させることにより、メモリへのデータ書き込み終了までメモリアクセス禁止信号送出を遅らせる方法が考えられるが、この時のメモリへのデータ書き込み動作は、二次側主電源の電圧低下中での動作であり、不安定動作になることは否めず、メモリデータの破壊の恐れがあつた。

この発明は上記のような課題を解消するためになされたものであり、電源断時にメモリのデータを破壊することのないメモリ保護回路を得ることを目的とする。

#### 〔課題を解決するための手段〕

この発明に係るメモリ保護回路は、主電源断時に電源断検知信号とメモリアクセス禁止信号を送出する手段を主電源供給回路に備え、この2信号をそれぞれ前者はCPUに、後者はメモリアクセス禁止回路に入力するとともに、主電源低下時に主電源から補助電源に切替える手段を設けたものである。

(3)は主電源の電圧が補助電源(2)の電圧以下になつた時、主電源から補助電源に電圧を切替える電源切替回路、(9)はメモリ(8)に対してアクセスするCPUである。

次に動作について第1図、第2図に基いて説明する。主電源断と共に主電源供給回路(1)は主電源断を検知し、CPU(9)に対して電源断検知信号(110)を送出する。この信号に基いてCPU(9)は必要情報の退避など所定の処理を行つた後ホールド状態になり、メモリ(8)へのアクセスを停止する。次に主電源供給回路(1)はメモリアクセス禁止回路(7)に対してメモリアクセス禁止信号(120)を送出する。この信号に基いてメモリアクセス禁止回路(7)は、メモリ(8)を動作不可の状態にし、メモリ(8)のデータ内容が保護される。ただし、メモリアクセス禁止信号(120)の送出は、電源断検知信号(110)の送出時より一定時間 $t_1$ 遅れて送出され、しかも電源断検出信号(110)の送出時よりCPU(9)がホールドするまでの時間を $t_2$ とすると $t_1 > t_2$ となるように設定されている。

メモリアクセス禁止信号(120)の送出より一定時間 $t_3$ 経過後、主電源の電圧が低下し始め、主電源の電圧が補助電源(2)の電圧以下になると電源切替回路13は主電源から補助電源(2)に切替え、メモリ(8)のデータ内容は保持される。

主電源が再び入力された場合、まず電源が切替わり、その後でメモリアクセスの禁止が解除される。CPU19はメモリアクセス禁止信号(120)をリセット信号として受取ることにより、メモリアクセス解除と共にリスタートさせることができる。

従つて、電源断時にまずCPUをホールド状態にし、その次にメモリアクセスを禁止状態にするため、CPUのメモリライトサイクル中にメモリアクセスが禁止状態になることを防ぐことができる。また、主電源の低下が、メモリアクセス禁止状態になつてから始まるため、CPUのホールド、メモリのアクセス禁止といずれの動作も主電源が安定している状態の下で行うことが可能となる。

なお、上記実施例では、主電源再入力時にメモ

リアクセス禁止信号(120)をCPU19のリスタート用のリセット信号としたものを示したが、リセット信号を別回路で構成して入力しても、メモリアクセス禁止が解除されてからCPU19がリスタートするようなタイミングで入力されているのであれば上記実施例と同様の効果を奏する。

〔発明の効果〕

以上のように、この発明によれば、主電源断時にまずCPUの動作を停止させホールド状態とし、その後メモリをアクセス禁止状態にし、しかるのち主電源の電圧を低下させるように構成したので、CPUがライトアクセス実行中にメモリアクセス禁止状態が生じること起因するメモリデータの破壊を防ぐ効果があり、また、主電源の電圧がまだ安定状態の間にCPUのホールドやメモリアクセスの禁止などの一連の動作が行えるため、確実なメモリデータ保護を行える効果がある。

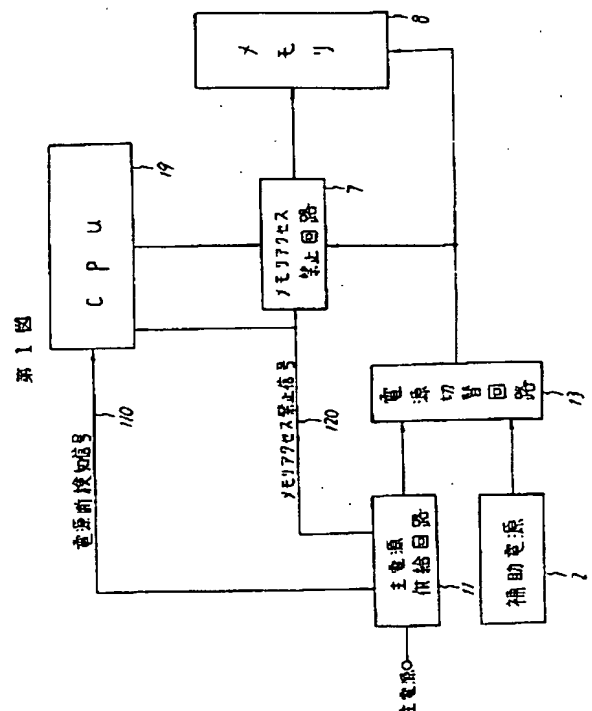
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例によるメモリ保護回路を示す回路図。第2図はこの発明の一実施例

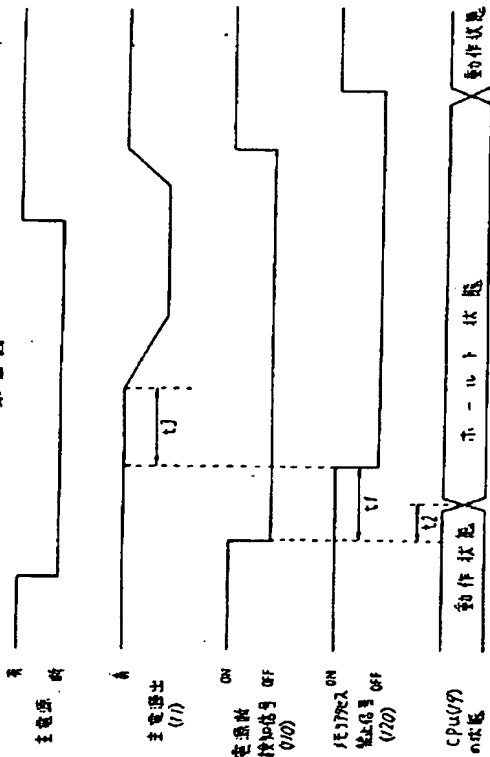
によるメモリ保護回路の動作を示すタイムチャート。第3図は従来のメモリ保護装置を示す回路図である。

なお、図中、同一符号は同一、又は相当部分を示す。

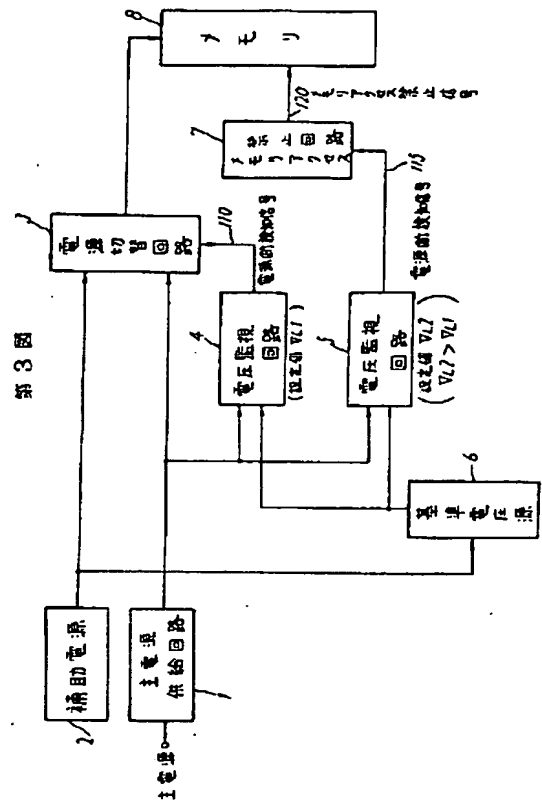
代理人 大 岩 城 雄



第2図



第3図



手続補正書(自発)

昭和 63 年 6 月 6 日

特許庁長官殿

1. 事件の表示 特願昭 63-65992 号

2. 発明の名称 メモリ保護回路

3. 補正をする者

事件との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名称 (601)三菱電機株式会社  
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏名 (7375)弁護士 大岩増雄  
(連絡先 03(213)3421特許部)

方式審査



5. 補正の対象

(1)明細書の発明の詳細な説明の欄  
(2)図面

6. 補正の内容

(1)明細書をつぎのとおり訂正する。

ページ	行	訂正前	訂正後
4	6	二次側主電源の	回路に供給される主電源の
5	7~8	その後主電源低下時に	その後回路に供給される主電源の電圧低下時に
6	1	03は主電源の電圧	03は回路に供給される主電源の電圧
7	2~3	主電源の電圧が補助電源(2)の電圧以下になると	回路に供給される主電源のし始め補助電源(2)の電圧以下になると、
7	16	主電源の低下が	回路に供給される主電源の電圧低下が
8	11	主電源の電圧を	回路に供給される主電源の電圧を
8	14	主電源の電圧が	回路に供給される主電源の電圧が

(2) 図面の第2図を別紙の通り訂正する。

7. 添付書類の目録

(1) 訂正した図面(第2図)

1 通  
以 上

